----------------------------------------------------------------------------------

-- Company:

-- Engineer:

--

-- Create Date: 14:32:04 01/28/2014

-- Design Name:

-- Module Name: countdown - Behavioral

-- Project Name:

-- Target Devices:

-- Tool versions:

-- Description:

--

-- Dependencies:

--

-- Revision:

-- Revision 0.01 - File Created

-- Additional Comments:

--

----------------------------------------------------------------------------------

**library** IEEE**;**

**use** IEEE**.**STD\_LOGIC\_1164**.ALL;**

-- Uncomment the following library declaration if using

-- arithmetic functions with Signed or Unsigned values

**use** IEEE**.**NUMERIC\_STD**.ALL;**

-- Uncomment the following library declaration if instantiating

-- any Xilinx primitives in this code.

--library UNISIM;

--use UNISIM.VComponents.all;

**entity** countdown **is**

**Port** **(** CATHODES **:** **out** STD\_LOGIC\_VECTOR **(**6 **downto** 0**);**

ANODES **:** **out** STD\_LOGIC\_VECTOR **(**3 **downto** 0**);**

BTN **:** **in** STD\_LOGIC\_VECTOR **(**3 **downto** 0**);**

SW **:** **in** UNSIGNED **(**3 **downto** 0**);**

SW7 **:** **in** STD\_LOGIC**;**

DP **:** **out** STD\_LOGIC**;**

CK **:** **in** STD\_LOGIC**;**

MCLK **:** **in** STD\_LOGIC**);**

**end** countdown**;**

**architecture** Behavioral **of** countdown **is**

**signal** A0**,** A1**,** A2**,** A3 **:** UNSIGNED **(**3 **downto** 0**);**

**signal** D0**,** D1**,** D2**,** D3 **:** UNSIGNED **(**3 **downto** 0**);**

**SIGNAL** c01**,** c02**,** c03**,** disp\_ck **:** STD\_LOGIC**;**

**SIGNAL** fr\_cnt **:** UNSIGNED **(**10 **DOWNTO** 0**);**

--SIGNAL c00 : STD\_LOGIC;

**begin**

four\_digits\_unit **:** **ENTITY** four\_digits**(**Behavioral**)**

**PORT** **MAP** **(**d3 **=>** d3**,** d2 **=>** d2**,** d1 **=>** d1**,** d0 **=>** d0**,** DP **=>** DP**,**

ck **=>** disp\_ck**,** cathodes **=>** cathodes**,** anodes **=>** anodes**);**

fr\_1kHz **:** **PROCESS**

**BEGIN**

**WAIT** **UNTIL** **RISING\_EDGE(**mclk**);**

disp\_ck **<=** fr\_cnt**(**fr\_cnt'**HIGH);**

fr\_cnt **<=** fr\_cnt **+** 1**;**

**END** **PROCESS;**

--divide the mclk clock

--c00 <= '0' WHEN SW7 = '1';

--c00 <= '1' WHEN SW7 = '0';

A0 **<=** SW **WHEN** BTN**(**0**)** **=** '1' AND SW7 **=** '0'**;**

A1 **<=** SW **WHEN** BTN**(**1**)** **=** '1' AND SW7 **=** '0'**;**

A2 **<=** SW **WHEN** BTN**(**2**)** **=** '1' AND SW7 **=** '0'**;**

A3 **<=** SW **WHEN** BTN**(**3**)** **=** '1' AND SW7 **=** '0'**;**

cnt\_d0 **:** **ENTITY** work**.**cnt\_gen **GENERIC** **MAP** **(**width **=>** 4**,** modulo **=>** 10**)**

**PORT** **MAP** **(**ck **=>** ck**,** c\_in **=>** '1'**,** q **=>** d0**,** c\_out **=>** c01**,** SW7 **=>** SW7**,** Ax **=>** A0**);**

cnt\_d1 **:** **ENTITY** work**.**cnt\_gen **GENERIC** **MAP** **(**width **=>** 4**,** modulo **=>** 6**)**

**PORT** **MAP** **(**ck **=>** ck**,** c\_in **=>** c01**,** q **=>** d1**,** c\_out **=>** c02**,** SW7 **=>** SW7**,** Ax **=>** A1**);**

cnt\_d2 **:** **ENTITY** work**.**cnt\_gen **GENERIC** **MAP** **(**width **=>** 4**,** modulo **=>** 10**)**

**PORT** **MAP** **(**ck **=>** ck**,** c\_in **=>** c02**,** q **=>** d2**,** c\_out **=>** c03**,** SW7 **=>** SW7**,** Ax **=>** A2**);**

cnt\_d3 **:** **ENTITY** work**.**cnt\_gen **GENERIC** **MAP** **(**width **=>** 4**,** modulo **=>** 10**)**

**PORT** **MAP** **(**ck **=>** ck**,** c\_in **=>** c03**,** q **=>** d3**,** c\_out **=>** **open,** SW7 **=>** SW7**,** Ax **=>** A3**);**

--d2 <= "0000";

--d3 <= "0000";

**end** Behavioral**;**